

July 18, 2000

08:48

2/5/1 (Item 1 from file: 351)
DIALOG(R) File 351: DERWENT WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

011676329 **Image available**
WPI Acc No: 1998-093238/199809
XRPX Acc No: N98-074470

Semiconductor device using CMOS circuit - includes high concentration impurity area serving as N+type or P+type imbedding area, arranged to base part of N-type or P-type well area which comprises CMOS circuit
Patent Assignee: NISSAN MOTOR CO LTD (NSMO)

Inventor: TAJIMA Y

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9321150	A	19971212	JP 96139912	A	19960603	199809 B
US 5969391	A	19991019	US 97867764	A	19970603	199950

Priority Applications (No Type Date): JP 96139912 A 19960603

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 9321150	A	11	H01L-021/8238	
US 5969391	A		H01L-029/76	

Abstract (Basic): JP 9321150 A

The device comprises a minimum complementary type insulation gate field effect transistor (CMOS) circuit which is provided in the principal plane of a P-type or N-type semiconductor substrate (1).

A high concentration impurity area which serves as N+type or P+type imbedding area (3) is arranged to the base part of the N-type or P-type well area which comprises the CMOS circuit.

ADVANTAGE - Eliminates reduction in resistance quantity for static electricity surge current. Decreases shunt resistance of parasitic vertical transistor. Prevents latch up sufficiently. Decreases influence affecting integration density of semiconductor device.

Dwg.1/10

Title Terms: SEMICONDUCTOR; DEVICE; CMOS; CIRCUIT; HIGH; CONCENTRATE; IMPURE; AREA; SERVE; N; TYPE; P; TYPE; AREA; ARRANGE; BASE; PART; N; TYPE; P; TYPE; WELL; AREA; COMPRISE; CMOS; CIRCUIT

Derwent Class: U13

International Patent Class (Main): H01L-021/8238; H01L-029/76

International Patent Class (Additional): H01L-023/62; H01L-027/092;

H01L-029/78; H01L-029/94; H01L-031/062

File Segment: EPI

2/5/2 (Item 1 from file: 347)
DIALOG(R) File 347: JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.

05706350 **Image available**
SEMICONDUCTOR DEVICE

PUB. NO.: 09-321150 JP 9321150 A]
PUBLISHED: December 12, 1997 (19971212)
INVENTOR(s): TAJIMA YUTAKA
APPLICANT(s): NISSAN MOTOR CO LTD [000399] (A Japanese Company or Corporation), JP (Japan)
APPL. NO.: 08-139912 [JP 96139912]
FILED: June 03, 1996 (19960603)
INTL CLASS: [6] H01L-021/8238; H01L-027/092; H01L-029/78
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

ABSTRACT

PROBLEM TO BE SOLVED: To reduce the shunt resistance of a parasitic vertical transistor to avoid latch up by placing n^{+} - or p^{+} -type buried heavily doped regions at n-type or p-type wells on a principal surface of a semiconductor substrate.

SOLUTION: N-type wells 2 and p^{+} -type substrate contacts 9 are formed on a principal surface of a p-type semiconductor substrate 1. NchMOSFETs 4 are formed on a principal surface of the substrate 1 and PchMOSFETs 5 are formed on the surface of the n-type wells 2. N^{+} type buried regions 100 are continuously or discretely formed at the bottom ends of the wells 2. N^{+} type well contacts 101 are formed on part of the principal surface of the wells 2 with n^{+} type regions 102 formed between the contacts 101 and regions 100. Thus it is possible to suppress the internal potential change in the wells 2 and avoid latch up.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平 9 - 3 2 1 1 5 0

(43)公開日 平成9年(1997)12月12日

(51) Int. Cl. ⁶

HOIL 21/8238

27/092

29/78

識別記号

庁内整理番号

F 1

H01L 27/08

29/78

321

301

H

K

技術表示箇所

審査請求 未請求 請求項の数 11 O L (全 11 頁)

(21)出願番号

特願平 8-139912

(22) 出題日

平成8年(1996)6月3日

(71)出願人 000003997

日産自動車株式会社

神奈川県横浜市神奈川区宝町2番地

(72) 發明者 田島 豊

神奈川県横浜市神奈川区宝町2番地 日産

自動車株式会社内

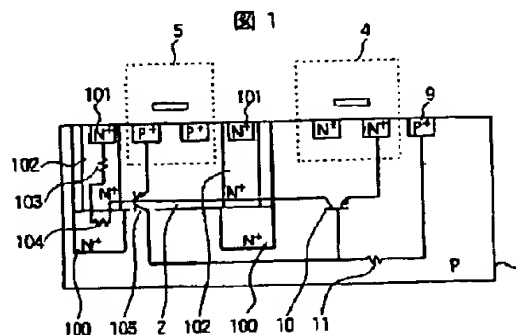
(14) 代理人 弁理士 中村 純之助 (外 1 名)

(54)【発明の名称】半導体装置

(57) 【要約】

【課題】ESD電流に対する耐量を低下させることなく、ラッチアップを十分に起こりにくくし、Pch MOSFETもしくはNch MOSFETのTr特性を損なわずに、N'型埋込領域もしくはP'型埋込領域を高濃度化して、ラッチアップ耐量を高くすると共に、横型パワーTrを十分に低オン抵抗化することが可能で、製作コストが安価な半導体装置を提供する。

【解決手段】 P型もしくはN型の半導体基板の主面に、少なくとも相補型絶縁ゲート電界効果トランジスタ（CMOS）回路を設け、CMOS回路を構成するN型ウエル領域もしくはP型ウエル領域の底面の一部、もしくは大部分に、不純物の高濃度領域であるN'型もしくはP'型の埋込領域を配設し、静電サージ電流に対する耐性を低下することなく、寄生パーティカルトランジスタのシャント抵抗を小さくしてラッチアップを防止することを特徴とする半導体装置。



- 1...P型半導体基板
- 2...N型ウエル
- 4...NchMOSFET
(Nチャネル絶縁ゲート電界効果トランジスタ)
- 5...PchMOSFET
(Pチャネル絶縁ゲート電界効果トランジスタ)
- 9...P+型基板コンタクト
- 10...NPNバイポーラTr
- 11...第2のシャント抵抗
- 100...N+型埋込領域
- 101...N+型ウエルコンタクト
- 102...N+型領域
- 103...低抵抗
- 104...低抵抗
- 105...PNPバイポーラTr

(2)

特開平9-321150

2

【特許請求の範囲】

【請求項1】 P型もしくはN型の半導体基板の主面に、少なくとも相補型絶縁ゲート電界効果トランジスタ(CMOS)回路を設け、該CMOS回路を構成するN型ウエル領域もしくはP型ウエル領域の底面の一部分、もしくは大部分に、不純物の高濃度領域であるN'型もしくはP'型の埋込領域を配設し、静電サージ電流に対する耐量を低下することなく、寄生パーティカルトランジスタのシャント抵抗を小さくしてラッチアップを防止することを特徴とする半導体装置。

【請求項2】 P型もしくはN型の半導体基板の主面に、少なくともパワートランジスタと、相補型絶縁ゲート電界効果トランジスタ(CMOS)回路とが共に組み込まれたインテリジェントパワーデバイス(IPD)を形成し、上記CMOS回路を構成するN型ウエル領域もしくはP型ウエル領域の底面の一部分、もしくは大部分に、不純物の高濃度領域であるN'型もしくはP'型の埋込領域を配設し、静電サージ電流に対する耐量を低下することなく、寄生パーティカルトランジスタのシャント抵抗を小さくしてラッチアップを防止することを特徴とする半導体装置。

【請求項3】 請求項1または請求項2に記載の半導体装置において、不純物の高濃度領域であるN'型もしくはP'型埋込領域上に、N型もしくはP型高濃度ウエルコンタクト領域を配設し、静電サージ耐量およびトランジスタ特性を損なうことなく、ラッチアップをさらに防止することを特徴とする半導体装置。

【請求項4】 P型半導体基板の主面にN型のウエル領域を形成し、上記半導体基板の主面および上記ウエル領域の主面に、相補型絶縁ゲート電界効果トランジスタ(CMOS)回路を設けると共に、該CMOS回路を構成するPチャネル絶縁ゲート電界効果トランジスタ(MOSFET)が形成されるN型ウエル領域の底面の一部分、もしくは大部分に、第1のN'型埋込領域を配設して成ることを特徴とする半導体装置。

【請求項5】 N型半導体基板の主面にP型のウエル領域を形成し、上記半導体基板の主面および上記ウエル領域の主面に、相補型絶縁ゲート電界効果トランジスタ(CMOS)回路を設けると共に、該CMOS回路を構成するNチャネル絶縁ゲート電界効果トランジスタ(MOSFET)が形成されるP型ウエル領域の底面の一部分、もしくは大部分に、第1のP'型埋込領域を配設して成ることを特徴とする半導体装置。

【請求項6】 請求項4に記載の半導体装置において、N型ウエル領域の底面の端部に、第1のN'型埋込領域を連続的に、もしくは断続的に配設するか、もしくはN型ウエル領域の底面の端部において、CMOS回路を構成するNチャネルMOSFETと近接して隣合っている部分以外に、第1のN'型埋込領域を配設するか、もしくはN型ウエル領域の底面の端部において、少なくとも半

導体基板主面に形成された入力回路もしくは出力回路と近接して隣合っている部分に、第1のN'型埋込領域を配設して成ることを特徴とする半導体装置。

【請求項7】 請求項5に記載の半導体装置において、P型ウエル領域の底面の端部に、第1のP'型埋込領域を連続的に、もしくは断続的に配設するか、もしくはP型ウエル領域の底面の端部において、CMOS回路を構成するPチャネルMOSFETと近接して隣合っている部分以外に、第1のP'型埋込領域を配設するか、もしくはP型ウエル領域の底面の端部において、少なくとも半導体基板主面に形成された入力回路もしくは出力回路と近接して隣合っている部分に、第1のP'型埋込領域を配設して成ることを特徴とする半導体装置。

【請求項8】 請求項4または請求項6に記載の半導体装置において、半導体基板主面に、パワートランジスタと、制御回路であるCMOS回路が共に組み込まれた、いわゆるインテリジェントパワーデバイス(IPD)が配設され、かつ上記パワートランジスタのソース、ゲート、ドレインが共に同一平面に設けられた横型パワートランジスタであると共に、該パワートランジスタ部分の半導体基板内部に、ドレインと電気的に接続された第2のN'型埋込領域を有し、さらに第1のN'型埋込領域と、上記第2のN'型埋込領域は、同時に形成された埋込領域であることを特徴とする半導体装置。

【請求項9】 請求項5または請求項7に記載の半導体装置において、半導体基板主面に、パワートランジスタと、制御回路であるCMOS回路が共に組み込まれた、いわゆるインテリジェントパワーデバイスが配設され、かつ該パワートランジスタのソース、ゲート、ドレインが共に同一平面に設けられた横型のパワートランジスタであり、該パワートランジスタ部分の半導体基板の内部に、ドレインと電気的に接続された第2のP'型埋込領域を有し、さらに第1のP'型の埋込領域と、上記第2のP'型埋込領域は、同時に形成された埋込領域であることを特徴とする半導体装置。

【請求項10】 請求項4、請求項6および請求項8のいずれか1項に記載の半導体装置において、N型ウエル領域の主面で、かつ第1のN'型埋込領域に当たる部分の一部分もしくは全部に、N'型ウエルコンタクト領域を設けるか、もしくはN'型ウエルコンタクト領域を設けると共に、該N'型ウエルコンタクト領域と、該第1のN'型埋込領域との間に、N'型領域を設け、かつ上記N'型ウエルコンタクト領域を、Vdd端子に接続して成ることを特徴とする半導体装置。

【請求項11】 請求項5、請求項7および請求項9のいずれか1項に記載の半導体装置において、P型ウエル領域の主面で、かつ第1のP'型埋込領域に当たる部分の一部分もしくは全部に、P'型ウエルコンタクト領域を設けるか、もしくはP'型ウエルコンタクト領域を設けると共に、該P'型ウエルコンタクト領域と、該第1の

(3)

特開平 9 - 3 2 1 1 5 0

3
P⁺型埋込領域との間に、P⁺型領域を設け、かつ上記P⁺型ウエルコンタクト領域を、V_{ss}端子に接続して成ることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に係り、特に、相補型絶縁ゲート電界効果トランジスタ（CMOS）等の改良に関する。

【0002】

【従来の技術】従来の半導体装置に関しては、例えば、図8および図9に示すものがある（特開昭58-201353号公報）。以下、図8、図9を基に従来例の構造について説明する。P型半導体基板1の主面に、N型ウエル2とP⁺型基板コンタクト9を形成する。N型ウエル2の主面に、N⁺型ウエルコンタクト8と、N型ウエル2底面の全体にN⁺型埋込領域3を形成する。そして、P型半導体基板1の主面にNチャネル（Nch）MOSFET（絶縁ゲート電界効果トランジスタ）4を形成すると共に、N型ウエル2主面にPチャネル（Pch）MOSFET5を形成する。この際、PchMOSFET5のソース領域をエミッタ、N型ウエル2とN⁺型埋込領域3ををベース、P型半導体基板1をコレクタとするPNPバイポーラTr（トランジスタ）6が生じると共に、NchMOSFET4のソース領域をエミッタ、P型半導体基板1をベース、N型ウエル2とN⁺型埋込領域3をコレクタとするNPNバイポーラTr10が生じる。ここで、第1のシャント抵抗7は、PNPバイポーラTr6のエミッタ・ベース間シャント抵抗であり、第2のシャント抵抗11は、NPNバイポーラTr10のエミッタ・ベース間シャント抵抗である。PNPバイポーラTr6とNPNバイポーラTr10、および第1のシャント抵抗7と第2のシャント抵抗11からなる寄生サイリスタが、V_{dd}端子13とV_{ss}端子14の間に接続される。さらに、入力（出力）端子12と、V_{dd}端子13およびV_{ss}端子14の間には、ブルアップダイオードとブルダウンドायオードあるいは外部に信号を出力する出力CMOS回路の寄生ダイオードからなる保護素子15が接続される。次に、従来例の動作を図9に基づいて説明する。入力（出力）端子12に過大サージ電圧が印加されても、N⁺型埋込領域3の存在により、

（1）PNPバイポーラTr6のh_{FE}（電流増幅率）が小さくなる。

（2）シャント抵抗7の値が小さくなる。

したがって、いわゆるラッチアップ現象が起きにくい、という効果がある。しかしながら、このような従来の半導体装置においては、以下に示す問題点があった。第1の問題点を、入力（出力）端子12に静電サージ（ESD）が印加された場合を例に挙げ説明する。入力（出力）端子12とV_{ss}端子14間にESDが印加されると、ESD電流の一部分は保護素子15内のブルダウ

ダイオードを流れ、残りのESD電流は保護素子15内のブルアップダイオードとパーティカルTrであるPNPバイポーラTr6を流れることが知られている（例えば、RCJ第3回EOS/ESDシンポジウム予稿集、pp. 13~20、1993年11月、日本電子部品信頼性センタ）。入力（出力）端子12とV_{dd}端子13間にESDが印加されても、同様にESD電流の一部分はPNPバイポーラTr6を流れる。したがって、PNPバイポーラTr6の働きにより、ESD電流がブルアップダイオードまたはブルダウンドायオードのいずれか一方に集中することがないので、ESD電流による破壊は起きにくくなる。従来例では、N⁺型埋込領域3の存在のためにPNPバイポーラTr6のベース濃度が高くなっている。その結果、PNPバイポーラTr6のh_{FE}（電流増幅率）が低下する。したがって、PNPバイポーラTr6のESD電流をバイパスする能力が小さくなり、ESD電流が保護素子15内のブルアップダイオードまたはブルダウンドायオードのいずれか一方に集中してしまう。したがって、半導体素子のESD電流に対する破壊耐量は低下することになる。第2の問題点として、一般にN型ウエル2の深さは数μm程度と浅いので、半導体装置の作製工程における高温アニールによって、N⁺型埋込領域3中のN型不純物が上方に拡散して、N型ウエル2の表面濃度が高くなる可能性がある。このためPchMOSFET5の耐圧低下や、しきい値制御が難しいという問題が生じる。第3の問題点を、図10に示す半導体装置を例に挙げ説明する。P型半導体基板1の主面に形成されたN型ウエル21の部分に、ソース、ゲートおよびドレインが同一平面上に設けられた横型パワーTr20を形成する。そして、N型ウエル21底面に、横型パワーTr20のドレインと電氣的に接続されたN⁺型埋込領域22を設けると共に、横型パワーTr20と、NchMOSFET4と、PchMOSFET5からなる制御回路とによって、インテリジェントパワーデバイス（IPD）が構成される。上記横型パワーTr20のオン抵抗を小さくするために、上記N⁺型埋込領域3とN⁺型埋込領域22を同時に形成し高濃度化すると、上記第2の問題点がいっそう顕著になって、PchMOSFET5のTr特性が悪化する。したがって、横型パワーTr20の低オン抵抗化のためにN⁺型埋込領域22を十分に高濃度化、すなわち、横型パワーTr20を十分に低オン抵抗化することはできなくなる。一方、N⁺型埋込領域3とN⁺型埋込領域22とを別々に形成すれば、半導体装置の製造工程が複雑となり、その結果、製作コストが増加する。

【0003】

【発明が解決しようとする課題】上述したように、従来の相補型絶縁ゲート電界効果トランジスタにおいて、第1の問題点として、PNPバイポーラTrのESD電流をバイパスする能力が小さくなり、ESD電流が保護素

50

(4)

特開平9-321150

6

子内のプリアップダイオードまたはブルダウンドायオードのいずれか一方に集中してしまうので、半導体装置のESD電流に対する破壊耐量が低下する。第2の問題点として、半導体装置の形成工程における高温アニールによって、N'型埋込領域中のN型不純物が上方に拡散して、N型ウエル領域の表面濃度が高くなる可能性があり、このためPchMOSFETの耐圧が低下し、しきい値制御が難しくなる。第3の問題点として、横型パワーTrを低オン抵抗化するために、N'型埋込領域を十分に高濃度化することができなくなる。一方、二つのN'型埋込領域を別々に形成すれば製造工程が複雑となり、その結果、製作コストが増加するという問題がある。本発明の目的は、上記従来技術における問題点を解消し、ESD電流に対する耐量を低下させることなく、ラッチアップを十分に起こりにくくし、PchMOSFETもしくはNchMOSFETのTr特性を損なわずにN'型埋込領域もしくはP'型埋込領域を高濃度化して、ラッチアップ耐量を高くすると共に、横型パワーTrを十分に低オン抵抗化することが可能で、製作コストが安価な半導体装置を提供することにある。

【0004】

【課題を解決するための手段】上記本発明の目的を達成するために、本発明は特許請求の範囲に記載のような構成とするものである。すなわち、本発明は請求項1に記載のように、P型もしくはN型の半導体基板の主面に、少なくとも相補型絶縁ゲート電界効果トランジスタ(CMOS)回路を設け、該CMOS回路を構成するN型ウエル領域もしくはP型ウエル領域の底面的一部分、もしくは大部分に、不純物の高濃度領域であるN'型もしくはP'型の埋込領域を配設し、静電サージ電流に対する耐量を低下することなく、寄生パーティカルトランジスタのシャント抵抗を小さくしてラッチアップを防止する構造の半導体装置とするものである。また、本発明は請求項2に記載のように、P型もしくはN型の半導体基板の主面に、少なくともパワートランジスタと、相補型絶縁ゲート電界効果トランジスタ(CMOS)回路とが共に組み込まれたインテリジェントパワーデバイス(IPD)を形成し、上記CMOS回路を構成するN型ウエル領域もしくはP型ウエル領域の底面的一部分、もしくは大部分に、不純物の高濃度領域であるN'型もしくはP'型の埋込領域を配設し、静電サージ電流に対する耐量を低下することなく、寄生パーティカルトランジスタのシャント抵抗を小さくしてラッチアップを防止する構造の半導体装置とするものである。また、本発明は請求項3に記載のように、請求項1または請求項2に記載の半導体装置において、不純物の高濃度領域であるN'型もしくはP'型埋込領域上に、N型もしくはP型高濃度ウエルコンタクト領域を配設し、静電サージ耐量およびトランジスタ特性を損なうことなく、ラッチアップをさらに防止する半導体装置とするものである。また、本発明は請

求項4に記載のように、P型半導体基板の主面にN型のウエル領域を形成し、上記半導体基板の主面および上記ウエル領域の主面に、相補型絶縁ゲート電界効果トランジスタ(CMOS)回路を設けると共に、該CMOS回路を構成するPチャネル絶縁ゲート電界効果トランジスタ(MOSFET)が形成されるN型ウエル領域の底面的一部分、もしくは大部分に、第1のN'型埋込領域を配設した構造の半導体装置とするものである。また、本発明は請求項5に記載のように、N型半導体基板の主面にP型のウエル領域を形成し、上記半導体基板の主面および上記ウエル領域の主面に、相補型絶縁ゲート電界効果トランジスタ(CMOS)回路を設けると共に、該CMOS回路を構成するNチャネル絶縁ゲート電界効果トランジスタ(MOSFET)が形成されるP型ウエル領域の底面的一部分、もしくは大部分に、第1のP'型埋込領域を配設した構造の半導体装置とするものである。また、本発明は請求項6に記載のように、請求項4に記載の半導体装置において、N型ウエル領域の底面の端部に、第1のN'型埋込領域を連続的に、もしくは断続的に配設するか、もしくはN型ウエル領域の底面の端部において、CMOS回路を構成するNチャネルMOSFETと近接して隣合っている部分以外に、第1のN'型埋込領域を配設するか、もしくはN型ウエル領域の底面の端部において、少なくとも半導体基板主面に形成された入力回路もしくは出力回路と近接して隣合っている部分に、第1のN'型埋込領域を配設した構造の半導体装置とするものである。また、本発明は請求項7に記載のように、請求項5に記載の半導体装置において、P型ウエル領域の底面の端部に、第1のP'型埋込領域を連続的に、もしくは断続的に配設するか、もしくはP型ウエル領域の底面の端部において、CMOS回路を構成するPチャネルMOSFETと近接して隣合っている部分以外に、第1のP'型埋込領域を配設するか、もしくはP型ウエル領域の底面の端部において、少なくとも半導体基板主面に形成された入力回路もしくは出力回路と近接して隣合っている部分に、第1のP'型埋込領域を配設した構造の半導体装置とするものである。また、本発明は請求項8に記載のように、請求項4または請求項6に記載の半導体装置において、半導体基板主面に、パワートランジスタと、制御回路であるCMOS回路が共に組み込まれた、いわゆるインテリジェントパワーデバイス(IPD)が配設され、かつ上記パワートランジスタのソース、ゲート、ドレインが共に同一平面に設けられた横型パワートランジスタであると共に、該パワートランジスタ部分の半導体基板内部に、ドレインと電気的に接続された第2のN'型埋込領域を有し、さらに第1のN'型埋込領域と、上記第2のN'型埋込領域は、同時に形成された埋込領域とするものである。また、本発明は請求項9に記載のように、請求項5または請求項7に記載の半導体装置において、半導体基板主面に、パワートランジ

(5)

特開平9-321150

8

7

タと、制御回路であるCMOS回路が共に組み込まれた、いわゆるインテリジェントパワーデバイスが配設され、かつ該パワートランジスタのソース、ゲート、ドレインが共に同一平面横型のパワートランジスタであり、該パワートランジスタ部分の半導体基板の内部に、ドレインと電氣的に接続された第2のP⁺型埋込領域を有し、さらに第1のP⁺型の埋込領域と、上記第2のP⁺型埋込領域は、同時に形成された埋込領域とするものである。また、本発明は請求項10に記載のように、請求項4、請求項6および請求項8のいずれか1項に記載の半導体装置において、N型ウエル領域の主面で、かつ第1のN⁺型埋込領域に当たる部分の一部分もしくは全部に、N⁺型ウエルコンタクト領域を設けるか、もしくはN⁺型ウエルコンタクト領域を設けると共に、該N⁺型ウエルコンタクト領域と、該第1のN⁺型埋込領域との間に、N⁺型領域を設け、かつ上記N⁺型ウエルコンタクト領域を、V_{dd}端子に接続した構造の半導体装置とするものである。また、本発明は請求項11に記載のように、請求項5、請求項7および請求項9のいずれか1項に記載の半導体装置において、P型ウエル領域の主面で、かつ第1のP⁺型埋込領域に当たる部分の一部分もしくは全部に、P⁺型ウエルコンタクト領域を設けるか、もしくはP⁺型ウエルコンタクト領域を設けると共に、該P⁺型ウエルコンタクト領域と、該第1のP⁺型埋込領域との間に、P⁺型領域を設け、かつ上記P⁺型ウエルコンタクト領域を、V_{ss}端子に接続した構造の半導体装置とするものである。

【0005】

【発明の効果】本発明の半導体装置によれば、請求項1に記載のように、P型もしくはN型の半導体基板の主面に、少なくとも相補型絶縁ゲート電界効果トランジスタ（CMOS）回路を設け、該CMOS回路を構成するN型ウエル領域もしくはP型ウエル領域の底面の一部分、もしくは大部分に、不純物の高濃度領域であるN⁺型もしくはP⁺型の埋込領域を配設する構造としているので、ラッチアップの原因となる過大サージ電圧による電流は、主にN型ウエルもしくはP型ウエル端部に注入され、この端部の部分に、不純物の高濃度領域である低抵抗の埋込領域があるために、寄生パーティカルT_rのシャント抵抗が小さくなるので、ラッチアップを十分に防止することができる。さらに、ESD電流はブルアップダイオードとブルダウダイオードに分流されるので、寄生パーティカルT_rのESD電流バイパス能力は損なわれず、ESD耐量は低下しない効果がある。また、本発明は請求項2に記載のように、P型もしくはN型の半導体基板の主面に、少なくともパワートランジスタと、相補型絶縁ゲート電界効果トランジスタ（CMOS）回路とが共に組み込まれたインテリジェントパワーデバイス（IPD）を形成し、上記CMOS回路を構成するN型ウエル領域もしくはP型ウエル領域の底面の一部分、

もしくは大部分に、不純物の高濃度領域であるN⁺型もしくはP⁺型の埋込領域を配設する構造としているので、上記請求項1と同様に、ESD耐量の低下が起きることなく、ラッチアップを効果的に防止でき、トランジスタ特性を損なうことなく、パワートランジスタを低オン抵抗化できる効果がある。また、本発明は請求項3に記載のように、請求項1または請求項2に記載の半導体装置において、不純物の高濃度領域であるN⁺型もしくはP⁺型埋込領域上に、N型もしくはP型高濃度ウエルコンタクト領域を配設する構造としているので、上記請求項1および2と同様に、ESD耐量の低下が起きることなく、ラッチアップを効果的に防止できる効果がある。また、本発明は請求項4に記載のように、P型半導体基板の主面にN型のウエル領域を形成し、上記半導体基板の主面および上記ウエル領域の主面に、相補型絶縁ゲート電界効果トランジスタ（CMOS）回路を設けると共に、該CMOS回路を構成するPチャネル絶縁ゲート電界効果トランジスタ（MOSFET）が形成されるN型ウエル領域の底面の一部分、もしくは大部分に、第1のN⁺型埋込領域を配設した構造としているので、上記請求項1と同様に、寄生パーティカルT_rのh_{re}（電流増幅率）が低下しないのでESD電流をバイパスすることができ、ESD電流がブルアップダイオードとブルダウダイオードに分流されることにより、ESD耐量の低下が起きない。かつ、ラッチアップの原因となる過大サージ電圧による電流は基板表面を経てウエル端部に注入されるので、ウエル端部に設けた埋込領域によりラッチアップを効果的に防止できる効果がある。また、本発明は請求項5に記載のように、N型半導体基板を用いて相補型絶縁ゲート電界効果トランジスタ（CMOS）回路を形成し、該CMOS回路を構成するP型ウエル領域の底面の一部分、もしくは大部分に、第1のP⁺型埋込領域を配設した場合においても、上記請求項4と同様に、ESDに対する破壊耐量を下げることなく、ラッチアップを十分に起こりにくくできる効果がある。また、本発明は請求項6に記載のように、請求項4に記載の半導体装置において、N型ウエル領域の底面の端部に、第1のN⁺型埋込領域を連続的に、もしくは断続的に配設するか、もしくはN型ウエル領域の底面の端部において、CMOS回路を構成するNチャネルMOSFETと近接して隣合っている部分以外に、第1のN⁺型埋込領域を配設するか、もしくはN型ウエル領域の底面の端部において、少なくとも半導体基板主面に形成された入力回路もしくは出力回路と近接して隣合っている部分に、第1のN⁺型埋込領域を配設した構造としているので、上記請求項4と同様に、ESDに対する破壊耐量を下げることなく、ラッチアップを十分に起こりにくくできる効果がある。また、本発明は請求項7に記載のように、請求項5に記載の半導体装置において、P型ウエル領域の底面の端部に、第1のP⁺型埋込領域を連続的に、もしくは

(6)

特開平9-321150

9

10

断続的に配設するか、もしくはP型ウエル領域の底面の端部において、CMOS回路を構成するPチャネルMOSFETと近接して隣合っている部分以外に、第1のP型埋込領域を配設するか、もしくはP型ウエル領域の底面の端部において、少なくとも半導体基板主面に形成された入力回路もしくは出力回路と近接して隣合っている部分に、第1のP型埋込領域を配設した構造としているので、上記請求項5と同様に、ESDに対する破壊耐量を下げることなく、ラッチアップを十分に起こりにくくできる効果がある。また、本発明は請求項8に記載のように、請求項4または請求項6に記載の半導体装置において、半導体基板主面に、パワートランジスタと、制御回路であるCMOS回路が共に組み込まれた、いわゆるインテリジェントパワーデバイス(IPD)が配設され、かつ上記パワートランジスタのソース、ゲート、ドレインが共に同一平面に設けられた横型パワートランジスタであると共に、該パワートランジスタ部分の半導体基板内部に、ドレインと電氣的に接続された第2のN型埋込領域を有し、さらに第1のN型埋込領域と、上記第2のN型埋込領域は、同時に形成された埋込領域とするものであって、このように埋込領域を高濃度化できるので、上記請求項4または請求項6と同様に、ラッチアップ耐量や、トランジスタ特性を損なうことなく、パワートランジスタを低オン抵抗化した素子を安価に製造できる効果がある。また、本発明は請求項9に記載のように、請求項5または請求項7に記載の半導体装置において、半導体基板主面に、パワートランジスタと、制御回路であるCMOS回路が共に組み込まれた、いわゆるインテリジェントパワーデバイスが配設され、かつ該パワートランジスタのソース、ゲート、ドレインが共に同一平面横型のパワートランジスタであり、該パワートランジスタ部分の半導体基板の内部に、ドレインと電氣的に接続された第2のP型埋込領域を有し、さらに第1のP型の埋込領域と、上記第2のP型埋込領域は、同時に形成された埋込領域とするものであり、上記請求項5または請求項7と同様に、ラッチアップ耐量や、トランジスタ特性を損なうことなく、パワートランジスタを低オン抵抗化した素子を安価に製造できる効果がある。また、本発明は請求項10に記載のように、請求項4、請求項6および請求項8のいずれか1項に記載の半導体装置において、N型ウエル領域の主面で、かつ第1のN型埋込領域に当たる部分の一部分もしくは全部に、N型ウエルコンタクト領域を設けるか、もしくはN型ウエルコンタクト領域を設けると共に、該N型ウエルコンタクト領域と、該第1のN型埋込領域との間に、N型領域を設け、かつ上記N型ウエルコンタクト領域をV_{dd}端子に接続して、N型埋込領域上に、N型高濃度コンタクト領域を設けた構造としているので、上記請求項4、請求項6および請求項8と同様に、ESDに対する耐量や、トランジスタ特性を損なうことなく、ラッチ

アップ耐量も十分に高くできる効果がある。また、本発明は請求項11に記載のように、請求項5、請求項7および請求項8のいずれか1項に記載の半導体装置において、P型ウエル領域の主面で、かつ第1のP型埋込領域に当たる部分の一部分もしくは全部に、P型ウエルコンタクト領域を設けるか、もしくはP型ウエルコンタクト領域を設けると共に、該P型ウエルコンタクト領域と、該第1のP型埋込領域との間に、P型領域を設け、かつ上記P型ウエルコンタクト領域をV_{ss}端子に接続して、P型埋込領域上に、P型高濃度コンタクト領域を設けた構造としているので、上記請求項5、請求項7および請求項8と同様に、ESDに対する耐量や、トランジスタ特性を損なうことなく、ラッチアップ耐量も十分に高くできる効果がある。

【0006】

【発明の実施の形態】

（第1の実施の形態）図1は、本実施の形態で例示する半導体装置の断面構造を示す模式図であり、図2は、図1に示す半導体装置の平面構造を示す模式図である。まず、図1と図2に基づき、半導体装置の構成を説明する。P型半導体基板1の主面に、N型ウエル2と、P型基板コンタクト9を形成する。そして、P型半導体基板1の主面に、NchMOSFET（Nチャネル絶縁ゲート電界効果トランジスタ）4を設けると共に、N型ウエル2の主面に、PchMOSFET（Pチャネル絶縁ゲート電界効果トランジスタ）5を設ける。N型ウエル2の底面の端部に、N型埋込領域100を連続的に、もしくは断続的に形成する。そして、N型ウエル2の主面の一部に、N型ウエルコンタクト101を設けると共に、N型ウエルコンタクト101と、N型埋込領域100との間に、N型領域102を設ける。この結果、NchMOSFET4のソース領域をエミッタ、P型半導体基板1をベース、N型ウエル2をコレクタとするNPNバイポーラTr（トランジスタ）10が形成されると共に、PchMOSFET5のソース領域をエミッタ、N型ウエル2をベース、P型半導体基板1をコレクタとするPNPバイポーラTr105が形成される。ここで、抵抗103は、N型領域102内におけるPNPバイポーラTr105のエミッタ・ベース間のシャント抵抗であり、抵抗104は、N型埋込領域100内におけるPNPバイポーラTr105のエミッタ・ベース間のシャント抵抗である。次に、本実施の形態における作用、効果について説明する。図3は、本実施の形態におけるPNPバイポーラTr105の部分と、入力（出力）端子12に接続されている保護素子15内のプルダウダイオード111の位置関係を示す図である。なお、プルダウダイオード111のアノードは、P型基板コンタクト110に接続されている。そして、プルダウダイオード111のカソードをエミッタ、P型半導体基板1をベース、N型ウエル2をコレクタとするNPNバイポーラTr112が形成される。ここで、入力

(7)

特開平 9 - 3 2 1 1 5 0

11

(出力) 端子 1 2 に、負極性の過大サージが印加された場合における本実施の形態の半導体装置の効果について説明する。プルダウンダイオード 111 が順バイアスされるのと同時に、NPN バイポーラ T r 112 のエミッタ・ベース接合がターンオンして、P 型半導体基板 1 の内部に電子が注入される。ここで、プルダウンダイオード 111 と、N 型ウエル 2 は、P 型半導体基板 1 の主面近傍に形成されているため、NPN バイポーラ T r 112 も P 型半導体基板 1 の主面に形成される。したがって、図 4 に示すように、NPN バイポーラ T r 112 (図 3 参照) による電子の流束 115 は、大部分が N 型ウエル 2 の側面および N' 型埋込領域 100 の側面に注入される。ここで、抵抗 103 と、抵抗 104 の抵抗値は小さいので、電流の流束 115 の内、大部分が電子の流束 117 として、抵抗 103 と抵抗 104 の部分を流れる。したがって、N 型ウエル 2 の内部を流れる電子の流束 116 の大きさは、電子の流束 115 のごく一部分となる。この結果、抵抗 103 と抵抗 104 の部分での電位差はほとんど無く、かつ N 型ウエル 2 の内部での電圧勾配もほとんど生じない。したがって、PNP バイポーラ T r 105 はターンオンせず、ラッチアップは十分に起こりにくくなる。図 5 は、N 型ウエル 2 の側面を示す模式図である。抵抗 103 の値が十分に小さいので、N' 型埋込領域 100 の内部に電位差はほとんど生じない。したがって、N 型ウエル 2 の側面にも電位差はほとんど生じない。このため、N' 型ウエルコンタクト 101 と、N' 型領域 102 を、N 型ウエル 2 の端部の一部分のみに設けても、N 型ウエル 2 の内部の電位変化を抑制でき、ラッチアップを防止することができる。しかもこの場合は、N 型ウエル 2 の主面における N' 型ウエルコンタクト 101 および N' 型領域 102 の面積が減るので、半導体装置の集積度にはほとんど影響を与えない。また、本実施の形態では、N 型ウエル 2 の底面の端部以外に、N' 型埋込領域 100 が形成されていないので、パーティカル T r である PNP バイポーラ T r 105 の h_{FE} (電流増幅率) は低下しない。したがって、従来技術で説明したような、PNP バイポーラ T r 105 の ESD 電流をバイパスする能力の低下がないので、入力 (出力) 端子 1 2 に、ESD が印加された際の破壊耐量の低下は生じない。さらに、Pch MOSFET 5 の下に、不純物濃度の高い N' 型埋込領域 100 が存在しないので、半導体装置の作製工程中の高温熱処理によって、N' 型埋込領域 100 の不純物が上方に拡散し、Pch MOSFET 5 が形成される部分の N 型ウエル 2 の主面の不純物濃度が高くなることがない。したがって、従来技術のような Pch MOSFET 5 の T r 特性が悪化するという問題は生じない。さらに、N' 型埋込領域 100 の上方拡散の抑制、または N 型ウエル 2 の表面濃度の制御等、半導体装置の製造工程を複雑に、かつ困難にすることはない。また、上述したごとく、ラッチアップの原因となる電子の流束は、保護素子 15 から P 型半導体基板 1 の主面近傍を経て、N 型ウエル 2

12

の側面に注入される。したがって、(1) N 型ウエル 2 の底面の端部において、Nch MOSFET 4 と近接して隣合っている部分以外に、N' 型埋込領域 100、N' 型ウエルコンタクト 101、N' 型領域 102 を形成する。

(2) N 型ウエル 2 の底面の端部において、少なくとも保護素子 15 と近接して隣合っている部分に、N' 型埋込領域 100、N' 型ウエルコンタクト 101、N' 型領域 102 を形成する構成にしても、ラッチアップに対する耐量を十分に高くすることができる。そして、N' 型埋込領域 100、N' 型ウエルコンタクト 101、N' 型領域 102 が形成される面積が小さくなるので、半導体装置の集積度に与える影響がますます小さくなる。なお、N' 型埋込領域 100 を断続的に形成しても上記と同様の効果が得られる。この場合も、半導体装置の集積度に与える影響は小さくなる。このように、P 型半導体基板に形成される CMOS において、Pch MOSFET が形成される N 型ウエル 2 の底面の一部分または端部に、N' 型埋込領域を設ける構成にすることによって、ESD に対する破壊耐量を下げることなく、ラッチアップを十分に起こりにくすることができる効果がある。また、N' 型ウエルコンタクト 101 の面積を大きくすることによって、N' 型ウエルコンタクト 101 と N' 型埋込領域 100 の間の抵抗を十分に小さくできれば、N' 型領域 102 を形成しなくても同様の効果が生じる。また、Pch MOSFET 5 のゲート電極構造がストレート型、ストライプ型のいずれであっても効果は全く同様である。なお、本発明の実施の形態において、P 型半導体基板を用いた場合について述べたが、N 型半導体基板を用いる場合には、本実施の形態において、N 型と P 型を入れ替え、かつ V_{dd} 電位と V_{ss} 電位を入れ替えればよく、本実施の形態と同様の効果がある。

【0007】 (第 2 の実施の形態) 図 6 に、本実施の形態で例示する半導体装置の断面構造を示す。まず、半導体装置の構成について説明する。第 1 の実施の形態において、P 型半導体基板 1 の主面に N 型ウエル 2 1 を設ける。そして、N 型ウエル 2 1 の主面に、ソース、ゲートおよびドレインが同一平面上に設けられた横型パワー T r 20 を形成する。また、N 型ウエル 2 1 の底面に、横型パワー T r 20 のドレインと電気的に接続された N' 型埋込領域 22 を設けると共に、横型パワー T r 20 と、Nch MOSFET 4 と、Pch MOSFET 5 からなる制御回路とによって、IPD を構成する。その他の構成は、第 1 の実施の形態と同様である。次に、本実施の形態で示した半導体装置の作用、効果について述べる。本実施の形態で例示した半導体装置は、上記第 1 の実施の形態で述べた半導体装置のすべての効果が含まれると共に、さらに、以下に示す効果がある。

(1) N' 型埋込領域 22 と、N' 型埋込領域 100 を同時に形成する場合に、横型パワー T r 20 のオン抵抗を小さくするために、N' 型埋込領域 22 と、N' 型埋込領域 100 の不純物濃度を高くしても、Pch MOSFET 5

(8)

特開平 9 - 3 2 1 1 5 0

13

のTr特性に悪影響を与えない。したがって、横型パワーTr 20の低オン抵抗化と、制御回路のラッチアップに対する耐量を高くすることを両立させることができる。また、N'型埋込領域100を形成するための特別な製造工程を追加する必要がない。

(2) 横型パワーTr 20のオン抵抗を小さくするために、横型パワーTr 20のドレイン領域と、N'型埋込領域22との間に、新たなN'型領域(図示せず)を設ける場合、N'型領域102を、上記新たなN'型領域とを同時に形成することができ、N'型領域102を形成するための特別な製造工程の追加を必要としない。このように、CMOSがIPDの一部として構成され、上記N'型埋込領域がIPD内のパワーTr部分にも用いられる場合、PchMOSFETのTr特性を損なわずにN'型埋込領域を高濃度化してラッチアップに対する耐量を高くすると共に、パワーTrを低オン抵抗化できる効果がある。さらに、N'型ウエルコンタクト101の面積を大きくすることによって、N'型ウエルコンタクト101とN'型埋込領域100の間の抵抗が十分に小さくなるならば、N'型領域102を形成しなくても同様の効果が生じる。また、PchMOSFET 5のゲート電極構造がストレー

ト型、ストライプ型のいずれであっても効果は全く同様である。なお、本発明の実施の形態において、すべてP型半導体基板を用いた場合について述べたが、N型半導体基板を用いる場合には、本実施の形態において、N型とP型を入れ替え、かつVdd電位とVss電位を入れ替えればよく、本実施の形態と同様の効果がある。

【0008】(第3の実施の形態) 本実施の形態で例示する半導体装置の平面構造を図7に示す。まず、半導体装置の構成について説明する。第1の実施の形態、または第2の実施の形態において、PchMOSFET 5の反転層が形成される領域の下以外のN型ウエル2の底面の一部分または大部分に、N'型埋込領域100を設け、かつ、N'+型埋込領域100と、N型ウエル2の主面に設けたN'型ウエルコンタクト101の間に、N'型領域102を形成する点が異なる。その他の構成は第1の実施の形態または第2の実施の形態と同様である。次に、本実施の形態における半導体装置の作用、効果について説明する。本実施の形態における半導体装置は、第1の実施の形態または第2の実施の形態の項で述べた効果、すなわち、P型半導体基板に形成されるCMOSにおいて、PchMOSFETが形成されるN型ウエルの底面の一部分または端部に、N'型埋込領域を設ける構成にすることによって、ESDに対する破壊耐量を下げることなく、ラッチアップを十分に起こりにくくすることができ、またCMOSがIPDの一部として構成され、N'型埋込領域が、IPD内のパワーTr部分にも用いられる場合、PchMOSFETのTr特性を損なわずにN'型埋込領域を高濃度化してラッチアップに対する耐量を高くし、パワーTrを低オン抵抗化できる効果、等をすべて

14

含み、さらにN'型埋込領域100のレイアウトの自由度が増加するので、半導体装置の集積度に与える影響が少なくなり、半導体装置の面積を大きくすることなく集積化をはかることができる効果がある。なお、本発明の実施の形態において、P型半導体基板を用いた場合について述べたが、N型半導体基板を用いる場合には、本実施の形態においてN型とP型を入れ替え、かつVdd電位とVss電位を入れ替えればよく、本実施の形態と同様の効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態で例示した半導体装置の断面構造を示す模式図。

【図2】本発明の第1の実施の形態で例示した半導体装置の平面構造を示す模式図。

【図3】本発明の第1の実施の形態で例示した半導体装置のラッチアップ防止作用を示す説明図。

【図4】本発明の第1の実施の形態で例示した半導体装置の電子の流束を示す説明図。

【図5】本発明の第1の実施の形態で例示した半導体装置のN型ウエルの側面部分の構成を示す模式図。

【図6】本発明の第2の実施の形態で例示した半導体装置の断面構造を示す模式図。

【図7】本発明の第3の実施の形態で例示した半導体装置の平面構造を示す模式図。

【図8】従来の半導体装置の断面構造の一例を示す模式図。

【図9】従来の半導体装置の等価回路の一例を示す図。

【図10】従来のIPDを構成した半導体装置の断面構造の一例を示す模式図。

【符号の説明】

1...P型半導体基板 2...N型ウエル 3...N'型埋込領域
4...NchMOSFET (Nチャネル絶縁ゲート電界効果トランジスタ)
5...PchMOSFET (Pチャネル絶縁ゲート電界効果トランジスタ)
6...PNPバイポーラTr 7...第1のシャント抵抗
8...N'型ウエルコンタクト 9...P'型基板コンタクト
10...NPNバイポーラTr 11...第2のシャント抵抗
12...入力(出力)端子 13...Vdd端子 14...Vss端子
15...保護素子 20...横型パワーTr 21...N型ウエル
22...N'型埋込領域 100...N'型埋込領域 101...N'型ウエルコンタクト
102...N'型領域 103, 104...抵抗 105...PNPバイポーラTr
110...P'型基板コンタクト 111...プルダウンドायオ

(9)

特開平9-321150

16

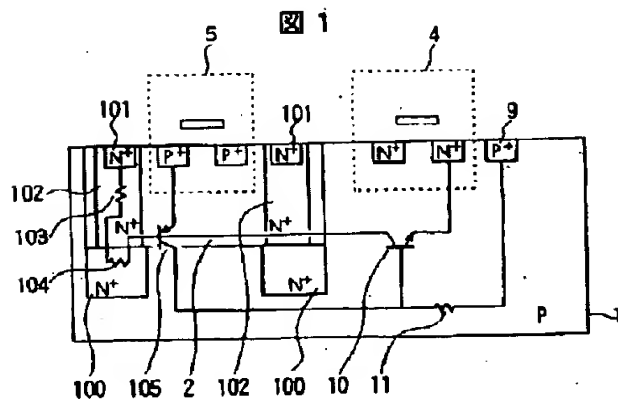
15

流束

ード

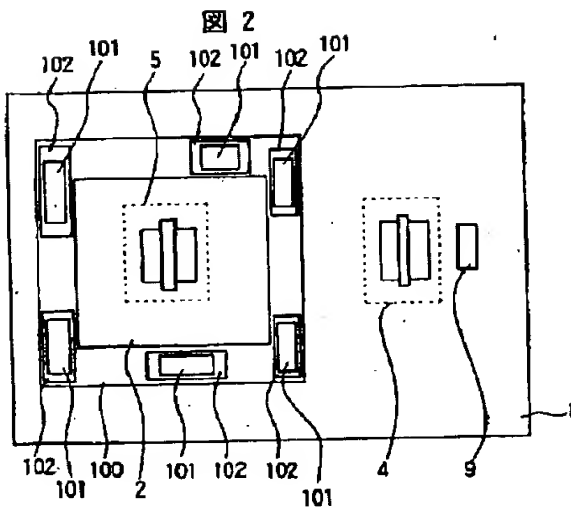
112...NPNバイポーラTr 115、116、117...電子の

【図1】



- 1...P型半導体基板
 2...N型ウェル
 4...NchMOSFET
 (Nチャネル絶縁ゲート電界効果トランジスタ)
 5...PchMOSFET
 (Pチャネル絶縁ゲート電界効果トランジスタ)
 9...P型基板コンタクト
 10...NPNバイポーラTr
 11...第2のチャント抵抗
 100...N+型埋込領域
 101...N+型ウェルコンタクト
 102...N+型領域
 103...抵抗
 104...抵抗
 105...PNPバイポーラTr

【図2】

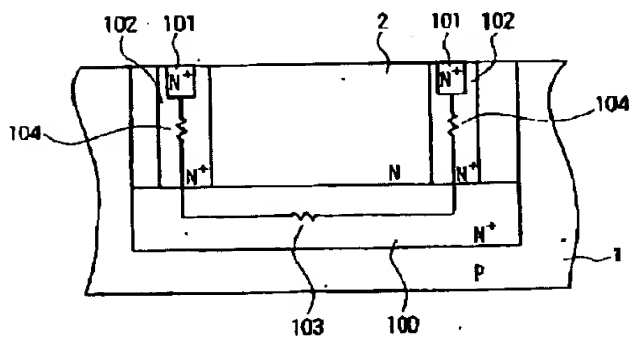


- 1...P型半導体基板
 2...N型ウェル
 4...NchMOSFET
 5...PchMOSFET
 9...P型基板コンタクト
 100...N+型埋込領域
 101...N+型ウェルコンタクト
 102...N+型領域

【図6】

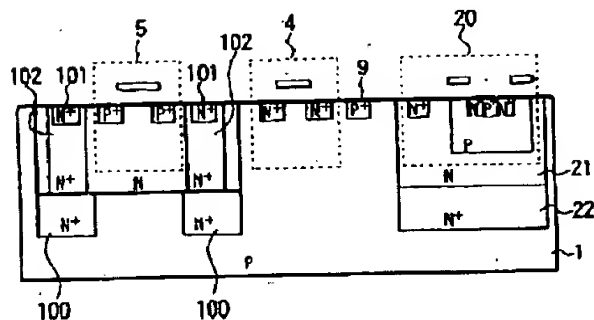
【図5】

図5



- 1...P型半導体基板
 2...N型ウェル
 100...N+型埋込領域
 101...N+型ウェルコンタクト
 102...N+型領域
 103...抵抗
 104...抵抗

図6

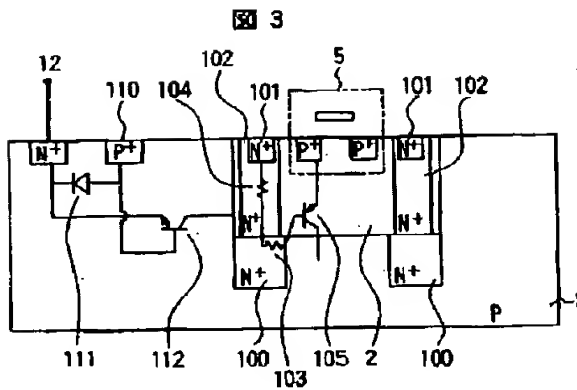


- 1...P型半導体基板
 4...NchMOSFET
 5...PchMOSFET
 9...P型基板コンタクト
 20...横型パワーTr
 21...N型ウェル
 22...N+型埋込領域
 100...N+型埋込領域
 101...N+型ウェルコンタクト
 102...N+型領域

(10)

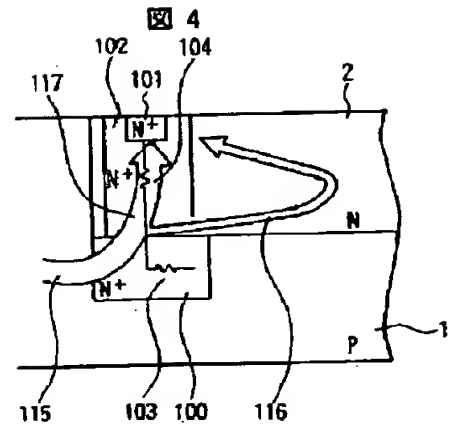
特開平 9 - 3 2 1 1 5 0

【図 3】



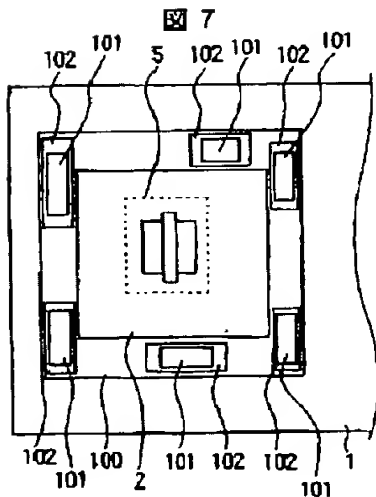
- 1...P型半導体基板
2...N型ウェル
5...PchMOSFET
12...入力(出力)端子
100...N⁺型埋込領域
101...N⁺型ウェルコンタクト
102...N⁺型領域
103...抵抗
104...抵抗
105...PNPバイポーラTr
110...P⁺型基板コンタクト
111...プルダウンダイオード
112...NPNバイポーラTr

【図 4】



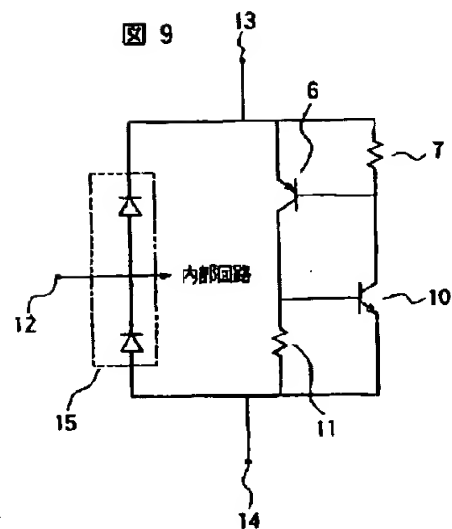
- 1...P型半導体基板
2...N型ウェル
100...N⁺型埋込領域
101...N⁺型ウェルコンタクト
102...N⁺型領域
103...抵抗
104...抵抗
115...電子の流入
116...電子の流出
117...電子の流出

【図 7】



- 1...P型半導体基板
2...N型ウェル
5...PchMOSFET
100...N⁺型埋込領域
101...N⁺型ウェルコンタクト
102...N⁺型領域

【図 9】

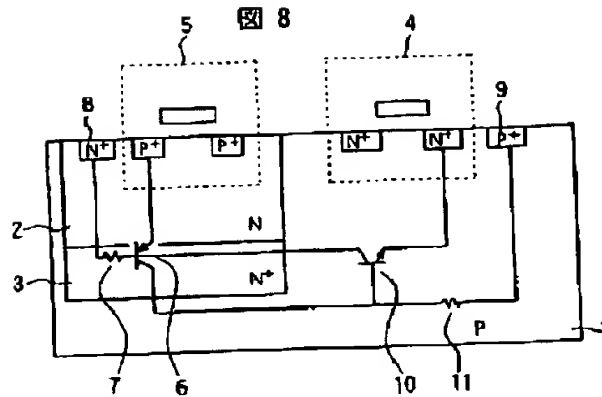


- 6...PNPバイポーラTr
7...第1のシャント抵抗
10...NPNバイポーラTr
11...第2のシャント抵抗
12...入力(出力)端子
13...V_{dd}端子
14...V_{ss}端子
15...保護素子

(11)

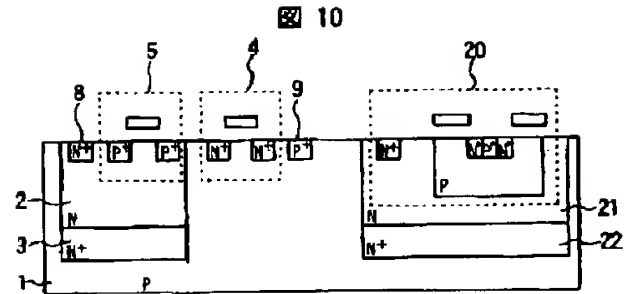
特開平 9 - 3 2 1 1 5 0

【図 8】



- 1…P型半導体基板
 2…N型ウェル
 3…N+型埋込領域
 4…NchMOSFET
 (Nチャネル絶縁ゲート電界効果トランジスタ)
 5…PchMOSFET
 (Pチャネル絶縁ゲート電界効果トランジスタ)
 6…PNPバイポーラTr
 7…第1のシャント抵抗
 8…N+型ウェルコンタクト
 9…P+型基板コンタクト
 10…NPNバイポーラTr
 11…第2のシャント抵抗

【図 10】



- 1…P型半導体基板
 2…N型ウェル
 3…N+型埋込領域
 4…NchMOSFET
 5…PchMOSFET
 6…N+型ウェルコンタクト
 7…P+型基板コンタクト
 8…NchMOSFET
 9…PchMOSFET
 10…NPNバイポーラTr
 11…第2のシャント抵抗
 12…N+型埋込領域